

WEST**Generate Collection****Search Results - Record(s) 2 through 3 of 3 returned.****□ 2. Document ID: JP 57114281 A**

L2: Entry 2 of 3

File: JPAB

Jul 16, 1982

PUB-NO: JP357114281A

DOCUMENT-IDENTIFIER: JP 57114281 A

TITLE: MOS TYPE TRANSISTOR

PUBN-DATE: July 16, 1982

INVENTOR-INFORMATION:

NAME

TAKENAKA, KAZUHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NISSAN MOTOR CO LTD

N/A

APPL-NO: JP56000606

APPL-DATE: January 6, 1981

INT-CL (IPC): H01L 29/78; H01L 29/62

ABSTRACT:

PURPOSE: To accelerate the operation of an MOS type transistor by forming a gate of two types of metals having different work functions, and forming a depletion type region and an enhancement type region, thereby eliminating a punch through current.

CONSTITUTION: An n+ type source 3, a drain 4 and a gate oxidized film 2 are formed of a p-type Si substrate 5 having an impurity density. An Au electrode 6 is formed by etching or sputtering after deposition or sputter. Before the electrode 6 and a gate electrode 10 made of an aluminum electrode 7 are formed, the surface density is varied, thereby providing a depletion type region 8 having negative threshold voltage and an enhancement type region 9 having positive threshold votlage.

COPYRIGHT: (C)1982,JPO&Japio

⑯ 日本国特許庁 (JP) ⑪ 特許出願公開
⑯ 公開特許公報 (A) 昭57-114281

⑯ Int. Cl.³ 識別記号 庁内整理番号 ⑯ 公開 昭和57年(1982)7月16日
H 01 L 29/78 7377-5F
// H 01 L 29/62 7638-5F
発明の数 1
審査請求 未請求

(全 4 頁)

⑯ MOS型トランジスタ

⑯ 特 願 昭56-606
⑯ 出 願 昭56(1981)1月6日
⑯ 発明者 竹中計廣

横須賀市追浜東町3-68浦郷寮
⑯ 出願人 日産自動車株式会社
横浜市神奈川区宝町2番地
⑯ 代理人 弁理士 松原伸之 外2名

明細書

1.発明の名称 MU8型トランジスタ

2.特許請求の範囲

トランジスタ基板と、該基板に形成されたソースおよびドレーンと、該ソースと該ドレーン間に上の前記基板上に設けられた酸化膜層と、該酸化膜層上に設けられ、互いに相違した仕事関数を有し、それそれ該酸化膜に接した接触面を有する2種の金属より構成されたゲートとを有し、

前記トランジスタ基板は、前記ソースおよび前記ドレーン間ににおいて1つの前記金属下にデブリーション型領域を有し、他の前記金属下にエンハンスマント型領域を有することを特徴とするMU8型トランジスタ。

3.発明の詳細な説明

本発明はパンチスルー電流を流れないようにして高速度化したMU8型トランジスタに関する。

従来のMU8型トランジスタとして、例えば、第1図に示すようなものがあり、アルミニウムよ

り成るゲート1と、8基板5に熱拡散法、あるいはイオン注入法によつて形成されたソース3およびドレーン4とを有している。

以上の構成において、ゲート1に印加する電圧によってソース3からドレーン4に流れる電流を抑制することができる。

しかし、従来のMU8型トランジスタによれば高速度化を期すためにソース3およびドレーン4の間隙であるゲート長Lを短くすると、短チャンネル効果によつてしきい値電圧が低下し、ゲート長Lをさらに短くしていくとドレーン4側の空乏層がソース3に達してパンチスルー電流が空乏層中を流れる現象が生じる。

本発明は、上記に鑑み、パンチスルー電流が流れないようにして高速度化を期すため、ゲートを仕事関数が相違する2種の金属によつて構成し、該2種金属下にデブリーション型領域とエンハンスマント型領域とを形成するようにしたMU8型トランジスタを提供するものである。

以下本発明によるMU8型トランジスタを詳細

板 6 と A と電極 7 の形状がそれぞれ相違している（その他の構成は、第 2 図の構成と同一であるため重複する説明は省略する）。

以上の構成において、A と A との間に 0.9 ポルトの仕事関数の相違があるため、ゲート電極 10 を A と電極 6 と A と電極 7 によって構成することにより領域 8 をデブリーション型に、領域 9 をエンハンストメント型にことができる。そのため、MOS 型トランジスタの速度の要因となる実効ゲート長は、エンハンストメント型領域の長さ L_1 となるため、該トランジスタの動作速度を高速度化することができる。一方、実際のゲート長は、ソース 3 とドレーン 4 の間隔 L_2 となるため（パンチスルーパスを渡す空乏層の長さが長くなるため）、パンチスルーパスが流れる現象を抑えることができる。

以上の実施例では、基板 5 として P 型基板を使用して N チャンネルトランジスタとしたが、N 型基板を使用して P チャンネルトランジスタにすることができる。その場合、電極 6 に A とを、電極

に説明する。

第 2 図は本発明の第 1 の実施例を示し、不純物濃度の低い P 部の Si 基板 5 と、Si 基板 5 に熱拡散あるいはイオン注入によって形成された n^+ のソース 3 およびドレーン 4 と、熱膜化によって形成されたゲート酸化膜 2 と、蒸着またはスペッタリングによってゲート酸化膜 2 上に堆積させた後フォトレジストマスクと王水とを使用してエッチング又はスペッタエッチングによってサブ μm ~数 μm のパターンで形成された A と電極 6 と、

A と電極 6 およびゲート酸化膜 2 上に蒸着された A と電極 7 (A と電極 6 と A と電極 7 は電気的に接続され、両者によってゲート電極 10 を構成している)と、ゲート電極 10 を形成する前にチャネル部分にイオン注入して表面導度を変えることにより設けられるしきい値電圧が負となるデブリーション型領域 8 およびしきい値電圧が正となるエンハンストメント型領域 9 を有している。第 3 図および第 4 図は本発明の第 2 および第 3 の実施例を示し、ゲート電極 10 を構成する A と電

7 と A とを使用すれば良い。また、各実施例において、A と A の代わりに A とを使用すると、A と A の仕事関数の差が 1.1 ポルトとなり、しきい値電圧の制御が容易になる。

第 5 図は本発明による MOS 型トランジスタを時計用 IC 回路に適用した実施例を示し、水晶発振器 15 を有した発振部 20 と、インバーブ 22、23 を介して入力する発振周波数を分周する分周回路 21 とを有している。分周回路 21 は入力する各周波数を順次 $\frac{1}{2}$ に分周する複数のフリップフロップ 16, 17, 18 より構成され、発振部 20 に近い方のフリップフロップに速度性がより高い（換言すれば、実効ゲート長 L のより短い）MOS 型トランジスタが使用されている。この構成によって発振部 20 に近い方の入力周波数が高くてもフリップフロップ 16, 17, 18 の中で互いに左隣りに位置するフリップフロップの MOS 型トランジスタの速度性が高いため入力周波数に順応した高周波特性を示す。

以上説明した通り、本発明による MOS 型トランジ

ジスタであれば、ゲートを仕事関数が相違する 2 種の金属によって構成し、該 2 種金属下にデブリーション型領域とエンハンストメント型領域とを形成するよう努めたため、短チャネル効果、更には、パンチスルーパスが生じないようにして高速度化を期すことができる。

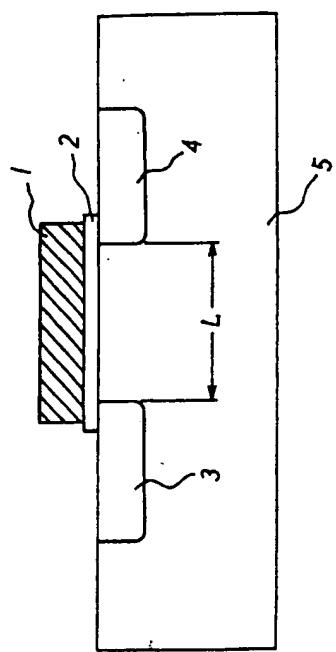
4. 図面の簡単な説明

第 1 図は従来の MOS 型トランジスタを示す説明図。第 2 図より第 4 図は本発明の第 1 より第 3 の実施例を示す説明図。第 5 図は本発明を適用した時計用 IC 回路を示す説明図。

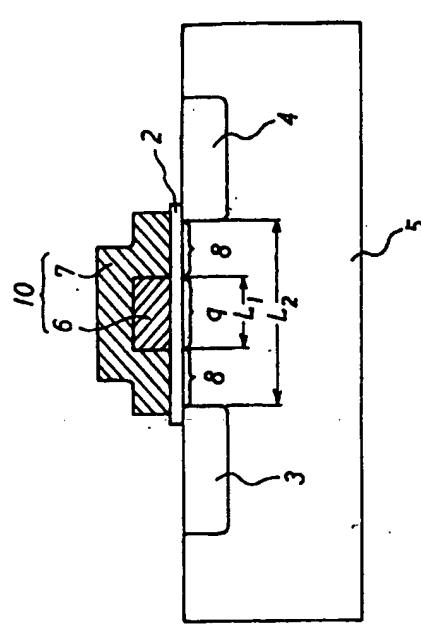
符号の説明

1 … ゲート	2 … 酸化膜
3 … ソース	4 … ドレーン
5 … トランジスタ基板	6 … A と電極
7 … A と電極	8 … デブリーション型領域
9 … エンハンストメント型領域	
10 … ゲート	

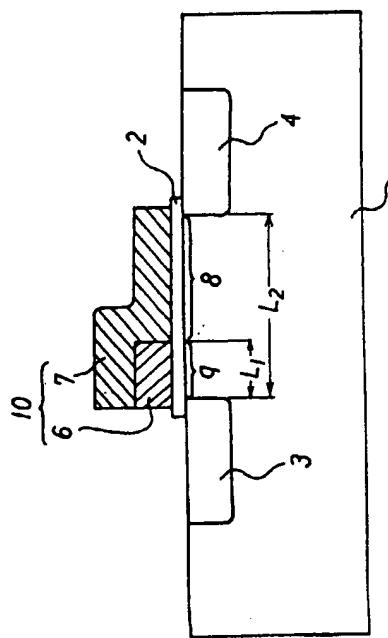
第1図



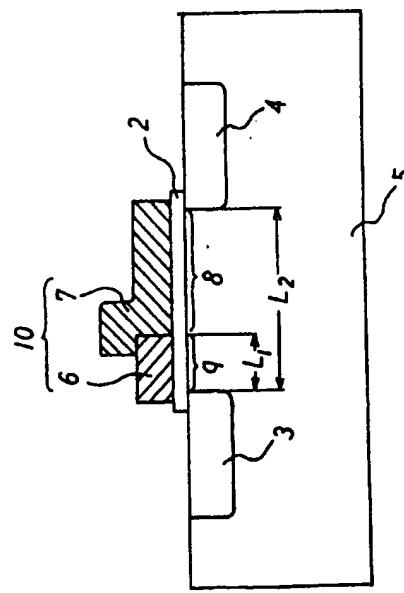
第2図



第3図



第4図



第 5 圖

